
Создание системы автоматической генерации HDL-кода

Андриенко Е.А., гр. 4103

Научный руководитель: Ключев А.О., к.т.н., доцент

Предметная область

Область

Высокоуровневый синтез специализированных вычислителей (HLS)

Проблемы

- Высокие проектные риски
- Высокая стоимость разработки
- Низкие показатели переиспользования

Область ответственности
Система синтеза HDL кода

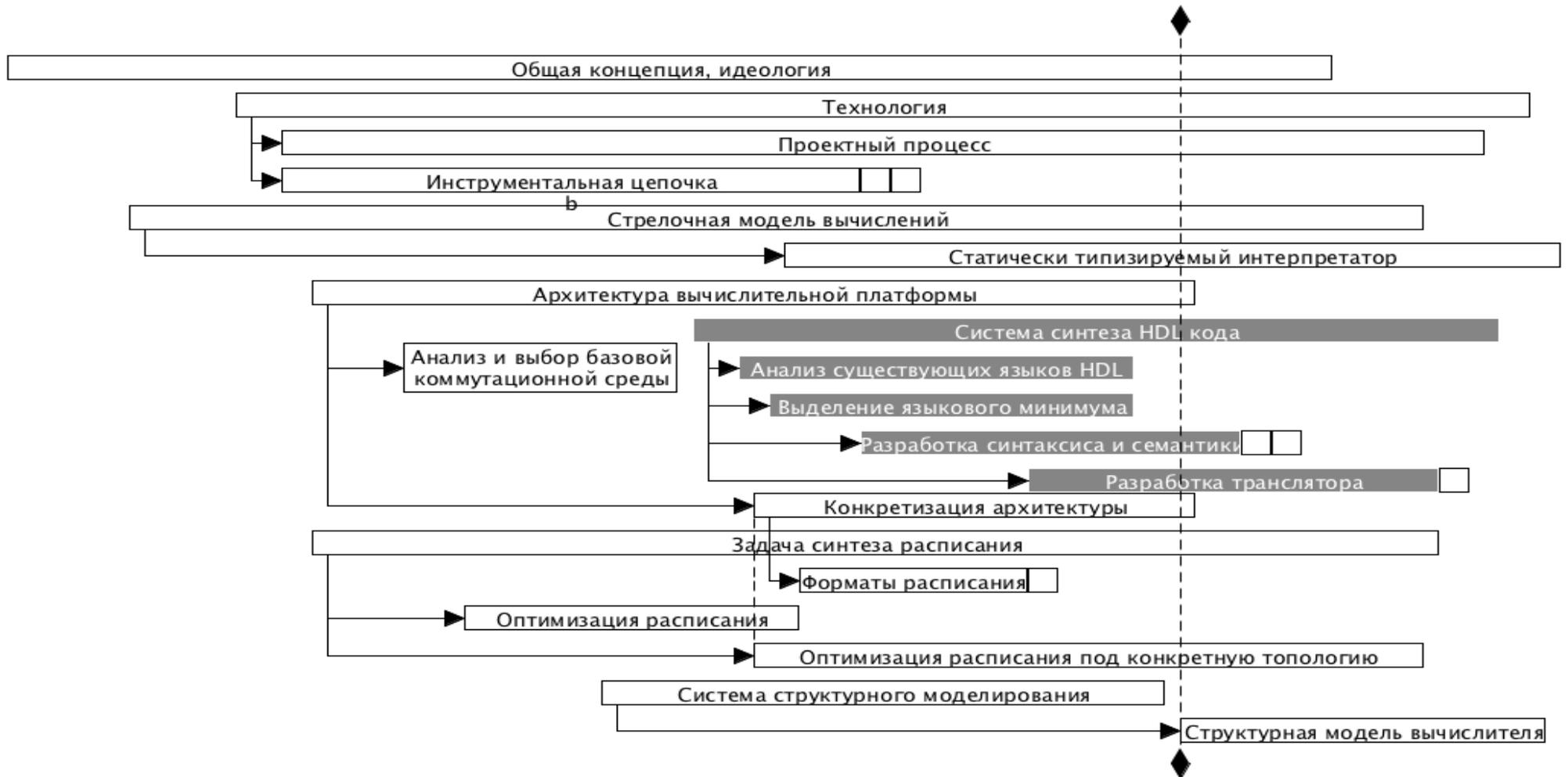
Цель

Технология для разработки специализированных вычислителей жёсткого реального времени на языке высокого уровня.

Основные характеристики целевых систем

- Требование реального времени
 - Малое время отклика
-

Организация проекта



Цели и задачи работы

Цель:

- создание системы автоматической генерации HDL кода.

Задачи:

- анализ проектных требований к системе;
- выбор HDL и его синтезируемого подмножества, пригодного для составления синтезируемого описания аппаратуры для проекта;
- разработка синтаксиса и семантики специализированного языка описания аппаратуры;
- определение этапов трансляции для системы автоматической генерации HDL кода.

Подходы к решению проблемы

Трансляция напрямую из описания инфраструктуры стрелочного вычислителя в синтезируемый HDL-код.

$$S_t = \sum_{i=1}^k N_i$$

Трансляция из описания инфраструктуры стрелочного вычислителя в специализированный HDL, с последующей трансляцией в синтезируемый HDL-код.

$$S_p = X + \sum_{i=1}^k M_i$$

k — количество различных реализаций трансляторов;

N_i — время разработки транслятора для прямого преобразования;

M_i — время разработки транслятора для преобразования с использованием специализированного HDL;

X — время разработки транслятора для преобразования с описания инфраструктуры на специализированный HDL;

S — время разработки транслятора для трансляции с описания инфраструктуры стрелочного вычислителя в синтезируемый HDL-код

Анализ синтезируемых HDL

Критерий выбора	Verilog	VHDL	XDL
Наличие открытых синтезаторов	Существуют	Существуют	Не существуют
Эксперты в команде, имеющие опыт работы с данными HDL	Есть	Есть	Нет
Простота изучения*	Высокая	Средняя	Низкая
Распространенность документации	Есть и открытая	Есть и открытая	Есть, но закрытая

* HDL Programming Fundamentals, Nazeih M. Botros

Выделение синтезируемого подмножества

Проблема: нет единого и открытого стандарта на синтезируемое подмножество языка Verilog.

Было выделено синтезируемое подмножество при помощи анализа:

- документация промышленных средств синтеза (Xilinx ISE, Synopsys Synplify);
- открытые проекты:
 - 1) Репозиторий кафедральных проектов (проект "Ancile")
 - 2) Репозиторий IP-компонент opencores.org

Синтаксис (пример)

Verilog

```

module mux_using_assign(
din_0    , // Mux first input
din_1    , // Mux Second input
sel      , // Select input
mux_out  // Mux output
);
input din_0, din_1, sel ;
output mux_out;
reg mux_out;

always @ (sel or din_0 or din_1)
begin : MUX
    if (sel == 1'b0) begin
        mux_out = din_0;
    end else begin
        mux_out = din_1 ;
    end
end

endmodule

```

Vericlo

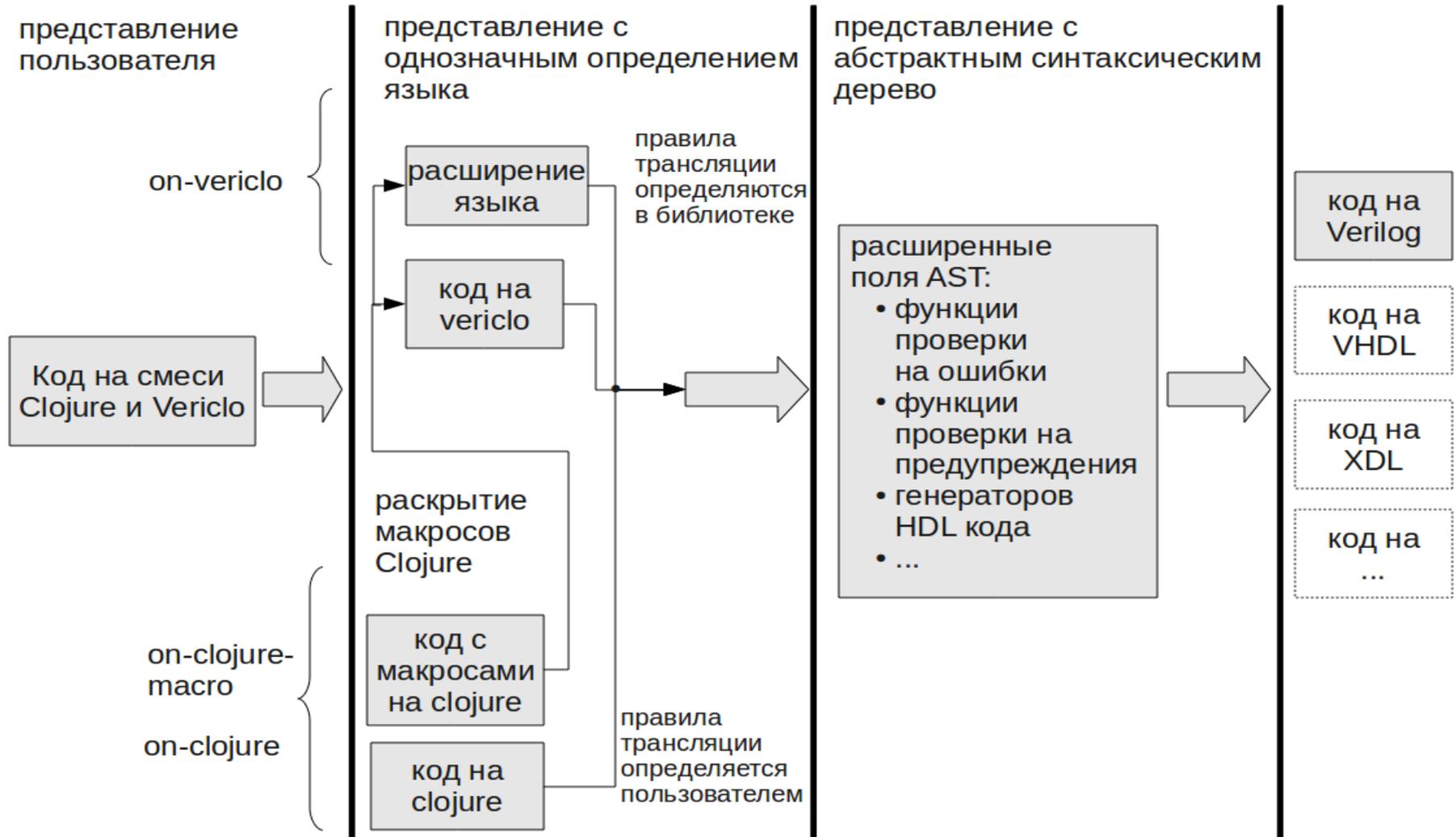
```

(module mux-using-assign
{:din-0 (input)
 :din-1 (input)
 :sel (input)
 :mux-out (output Reg)}
(always (sensitivity-list (or :sel :din-0 :din-1))
 (if (= :sel (% "1'b0"))
 (sync= mux-out din-0)
 (sync= mux-out din-1))))

```

- разделение интерфейса и реализации;
- использование вставок на диалекте Lisp'a (Clojure) в описании аппаратуры;
- реализация дополнительных уровней в виде DSL.

Этапы трансляции



Результаты

- предложен подход к решению задачи генерации HDL описания аппаратуры из описания инфраструктуры стрелочного вычислителя;
- выбран базовый для проекта HDL;
- выделено синтезируемое подмножество HDL-языка;
- разработан синтаксис специализированного языка описания аппаратуры Vericlo;
- предложены этапы трансляции для специализированного языка описания аппаратуры Vericlo.

Перспективы

- дальнейшая разработка и расширение языка Vericlo;
- добавление к транслятору различных оконечных генераторов в HDL из Vericlo - в VHDL или иные языки описания аппаратуры;
- добавление возможности введения ограничений на размещение блоков на кристалле.